

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2003年 2月25日

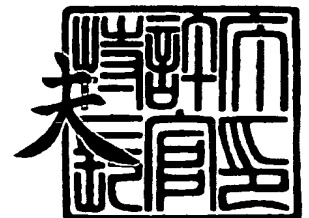
出願番号  
Application Number: 特願2003-047923  
[ST. 10/C]: [JP2003-047923]

出願人  
Applicant(s): セイコーエプソン株式会社

2003年12月 5日

特許庁長官  
Commissioner,  
Japan Patent Office

今井 康



出証番号 出証特2003-3100667

【書類名】 特許願

【整理番号】 J0095750

【提出日】 平成15年 2月25日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/86  
H02J 1/00

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 瀧澤 照夫

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100066980

【弁理士】

【氏名又は名称】 森 哲也

【選任した代理人】

【識別番号】 100075579

【弁理士】

【氏名又は名称】 内藤 嘉昭

【選任した代理人】

【識別番号】 100103850

【弁理士】

【氏名又は名称】 崔 秀▲てつ▼

【手数料の表示】

【予納台帳番号】 001638

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0014966

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 p 型シリコン層と、当該 p 型シリコン層に接合する n 型シリコン層とからなるダイオードを備え、

前記 p 型シリコン層には、ゲルマニウムが含まれていることを特徴とする半導体装置。

【請求項 2】 p 型シリコン層と、当該 p 型シリコン層に接合する高純度の i 型シリコン層と、該 i 型シリコン層に接合する n 型シリコン層とからなるダイオードを備え、

前記 p 型シリコン層には、ゲルマニウムが含まれていることを特徴とする半導体装置。

【請求項 3】 前記ダイオードは絶縁性の基板、または絶縁層上に設けられていることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】 前記ダイオードを複数個備え、

当該ダイオードによって、所定の交流電圧を直流電圧に整流するブリッジ整流回路が構成されていることを特徴とする請求項 1 ～ 3 のいずれか一項に記載の半導体装置。

【請求項 5】 前記ブリッジ整流回路の一方の側に接続されるコイルアンテナと、

当該ブリッジ整流回路の他方の側に接続される平滑コンデンサとを備え、

電磁誘導によって前記コイルアンテナに交流電圧が発生し、当該交流電圧が前記ブリッジ整流回路に供給されて直流電圧に整流され、該直流電圧が前記平滑コンデンサに供給されて定電圧に平滑化されることを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】 p 型シリコン層と、当該 p 型シリコン層に接合する n 型シリコン層とからなるダイオードの製造方法であって、

前記 p 型シリコン層にゲルマニウムを導入して、シリコンゲルマニウム混晶を形成することを特徴とする半導体装置の製造方法。

**【発明の詳細な説明】****【0 0 0 1】****【発明の属する技術分野】**

本発明は、半導体装置及びその製造方法に係り、特に、I C (integrated circuit) カード等に内蔵される装置であって、ブリッジ整流回路、平滑コンデンサ、不揮発性メモリ、C P U (central processing unit) 等が1チップ化された半導体デバイスに適用して好適な半導体装置とその製造方法に関するものである。

**【0 0 0 2】****【従来の技術】**

近年、高度情報社会の高まりに伴い、I C カードが個人認証用や、電子マネーとして使われ始めている。この種のI C カードには、ブリッジ整流回路、平滑コンデンサ、不揮発性メモリ、C P U 等が1チップ化された半導体デバイスが内蔵されている。

**【0 0 0 3】**

この半導体デバイスでは、コイルアンテナと、ブリッジ整流回路と、平滑コンデンサとで電源回路部を構成している。I C カードの外部から磁界を受けることによってコイルアンテナに交流の起電力を生じ、この起電力をブリッジ整流回路で直流に全波整流し、整流した電圧を平滑コンデンサで定電圧に平滑化する。そして、この平滑化した直流電圧をC P U や不揮発性メモリ等に電源として供給する。

**【0 0 0 4】**

このような電源回路部では、C P U の演算処理や、不揮発性メモリへの書き込み、読み出し処理など、その処理動作を実行するために、コイルアンテナで生じた交流電圧をブリッジ整流回路で直流に変換する必要がある。

図10 (A) は第1の従来例に係るブリッジ整流回路80の構成例を示す回路図である。図10 (A) に示すように、このブリッジ整流回路80は、4個のp n ダイオード90 a ~ 90 d によって構成されている。

**【0 0 0 5】**

図 1 0 (B) は、ブリッジ整流回路 8 0 に組み込まれる p n ダイオード 9 0 a の構成例を示す断面図である。図 1 0 (B) において、9 1 はシリコン基板、9 3 は p 型シリコン (S i) 層、9 5 は n 型シリコン (S i) 層、9 6 は素子分離層、9 7 は層間絶縁膜、9 9 a 及び 9 9 b は A l 配線である。p 型 S i 層 9 3 の不純物はボロンであり、その濃度は  $1 0^{20} \text{ cm}^{-3}$  程度である。n 型 S i 層 9 5 の不純物はリンであり、その濃度は  $1 0^{19} \text{ cm}^{-3}$  程度である。

図示しないが、ブリッジ整流回路 8 0 を構成する他の p n ダイオード 9 0 b ~ 9 0 d も、図 1 0 (B) に示す p n ダイオード 9 0 a と同様の構造を有している。この p n ダイオード 9 0 a では、p 型 S i 層 9 3 に接続している A l 配線 9 9 a がアノード端子であり、n 型 S i 層 9 5 に接続している A l 配線 9 9 b がカソード端子である。

#### 【0 0 0 6】

また、上述したブリッジ整流回路を、4 個の p n ダイオードではなく、4 個の MOS トランジスタで構成する方法も知られている。図 1 1 は第 2 の従来例に係るブリッジ整流回路 8 0 ' を示す回路図である。図 1 1 に示す 4 個の MOS トランジスタ 9 0 a ' ~ 9 0 d ' は、シリコン基板上に形成されたエンハンスメント型の p MOS トランジスタであり、いずれも同一の構造を有している。

#### 【0 0 0 7】

これらの MOS トランジスタ 9 0 a ' ~ 9 0 d ' は、閾値の設定が容易に行なえる為、順方向の電流を流しやすいという利点がある。その一方で、p n ダイオードは不純物濃度の設定によりなだれ降伏が起きにくくすることができる。このような背景から、ブリッジ整流回路は、順方向特性を重視する場合には、MOS トランジスタで構成され、逆方向特性を重視する場合には、p n ダイオードで構成されてきた。

#### 【0 0 0 8】

図 1 2 は、p n ダイオード 9 0 a のバンドダイアグラムである。図 1 2 の左側が p 型 S i 層 9 3 のエネルギーバンドを示し、右側が n 型 S i 層 9 5 のエネルギーバンドを示す。図 1 2 において、p 型 S i 層 9 3 と n 型 S i 層 9 5 とが熱平衡状態にあるとき、その接合部にはビルトインポテンシャル (built-in potential

)  $\phi'$  が生じている。このビルトインポテンシャル  $\phi'$  は  $1.05 \text{ eV}$  程度であることが知られている。

#### 【0009】

##### 【特許文献1】

特開平9-153628号公報

#### 【0010】

##### 【発明が解決しようとする課題】

ところで、従来例に係る半導体デバイスによれば、交流電圧を直流に全波整流するブリッジ整流回路80には、p型Si層93とn型Si層95等からなるpnダイオード90a~90dを用いていた。

しかしながら、このpnダイオード90a~90dのビルトインポテンシャル  $\phi'$  は  $1.05 \text{ eV}$  程度あり、pnダイオード90a~90dの順方向に電流を流すためには、実際には、 $0.8 \text{ V}$  以上の順方向電圧  $V_F$  が必要であった。このため、ブリッジ整流回路で扱う交流電圧に対して、pnダイオード90a~90dのインピーダンスは高く、交流電圧を直流電圧に効率よく変換することができないという問題があった。

#### 【0011】

そこで、この発明はこのような問題を解決したものであって、ダイオードの電圧-電流特性を改善して、ダイオードの順方向により大きな電流を流すことができるようにした半導体装置及びその製造方法の提供を目的とする。

#### 【0012】

##### 【課題を解決するための手段】

上記した課題を解決するために、本発明に係る第1の半導体装置は、p型シリコン層と、当該p型シリコン層に接合するn型シリコン層とからなるダイオードを備え、このp型シリコン層には、ゲルマニウムが含まれていることを特徴とするものである。

#### 【0013】

ここで、p型シリコン層とn型シリコン層を接触させると、これら両層のキャリアが相互に拡散して平衡状態になり、フェルミ準位が一致する。このとき、p

型シリコン層と n 型シリコン層との間には、ビルトインポテンシャルと呼ばれる電位差が生じる。このビルトインポテンシャルは、p 型シリコン層の伝導バンドと、n 型シリコン層の伝導バンドとのエネルギー準位差に対応している。本発明は、シリコン層にゲルマニウムを導入すると、シリコン層のバンドギャップが縮小する点に着目して、ダイオードの p 型シリコン層にゲルマニウムを導入したものである。

#### 【0014】

本発明に係る第 2 の半導体装置は、p 型シリコン層と、当該 p 型シリコン層に接合する高純度の i 型シリコン層と、該 i 型シリコン層に接合する n 型シリコン層とからなるダイオードを備え、この p 型シリコン層には、ゲルマニウムが含まれていることを特徴とするものである。

本発明に係る第 3 の半導体装置は、上述した第 1 または第 2 の半導体装置において、このダイオードは絶縁性の基板、または絶縁層上に設けられていることを特徴とするものである。

#### 【0015】

本発明に係る第 4 の半導体装置は、上述した第 1 ～第 3 の半導体装置において、このダイオードを複数個備え、当該ダイオードによって、所定の交流電圧を直流電圧に整流するブリッジ整流回路が構成されていることを特徴とするものである。

本発明に係る第 5 の半導体装置は、上述した第 4 の半導体装置において、ブリッジ整流回路の一方の側に接続されるコイルアンテナと、当該ブリッジ整流回路の他方の側に接続される平滑コンデンサとを備え、電磁誘導によってこのコイルアンテナに交流電圧が発生し、当該交流電圧がこのブリッジ整流回路に供給されて直流電圧に整流され、該直流電圧がこの平滑コンデンサに供給されて定電圧に平滑化されることを特徴とするものである。

#### 【0016】

本発明に係る第 1 ～第 5 の半導体装置によれば、従来型の半導体装置と比べて、ダイオードを構成する p 型シリコン層のバンドギャップが縮小化されている。従って、このダイオードにおける p 型シリコン層と n 型シリコン間のビルトイン



ポテンシャルを下げることができ、ダイオードを低インピーダンス化することができる。

#### 【0017】

これにより、ダイオードの電圧－電流特性を改善することができ、ダイオードの順方向により大きな電流を流すことができる。また、このダイオードでブリッジ整流回路を構成することによって、交流電圧を直流電圧に効率よく変換することができる。

本発明に係る半導体装置の製造方法は、p型シリコン層と、当該p型シリコン層に接合するn型シリコン層とからなるダイオードの製造方法であって、このp型シリコン層にゲルマニウムを導入して、シリコンゲルマニウム混晶を形成することを特徴とするものである。

#### 【0018】

本発明に係る半導体装置の製造方法によれば、p型シリコン層とn型シリコンとの接合部位に生じるビルトインポテンシャルを下げることができ、ダイオードを低インピーダンス化することができる。これにより、ダイオードの電圧－電流特性を改善することができ、ダイオードの順方向に大電流を流すことができる。

#### 【0019】

##### 【発明の実施の形態】

以下、図面を参照しながら、本発明の実施形態に係る半導体装置及びその製造方法について説明する。

##### (1) 第1実施形態

図1は、本発明の実施形態に係る半導体デバイス100の構成例を示す回路図である。この半導体デバイス100は、例えば非接触式のIDカード等に内蔵されるものであり、電磁誘導によって得られる交流電圧を直流電圧に変換すると共に、この直流電圧を電源(Vdd)に用いて所定の演算処理を実行したり、記憶したりする装置である。

#### 【0020】

この半導体デバイス100は、コイルアンテナ1に接続するブリッジ整流回路50と、このブリッジ整流回路50に接続する平滑コンデンサ3と、ブリッジ整

流回路 50 及び平滑コンデンサ 3 の両方と接続する CPU や不揮発性メモリ（図示せず）等とから構成されている。

図 1 において、給電装置 70 は IC カードの外部にある機器であり、この給電装置 70 のコイルに所定の電流を流すことによって磁界を発生する。コイルアンテナ 1 は、この磁界を受けて交流の起電力を発生する。この起電力は、図 13 (A) に示すように、正電位と負電位とを繰り返す正弦波形を有している。

#### 【0021】

ブリッジ整流回路 50 は、図 13 (A) に示した交流電圧を図 13 (B) に示すように全波整流するものである。このブリッジ整流回路 50 は、例えばコイルアンテナ 1 で得られた交流電圧の負の波形を正の波形に反転させて、交流電圧を正の直流電圧に変換する。

図 1 に示すように、このブリッジ整流回路 50 は、例えば 4 個の p n ダイオード 5 a ~ 5 d で構成されている。これら 4 個の p n ダイオード 5 a ~ 5 d は、いずれも同一の構造を有している。これらの p n ダイオード 5 a ~ 5 d の構造については、後で詳細に説明する。

#### 【0022】

図 1 に示すブリッジ整流回路 50 への入力電圧が正の波形の場合は、p n ダイオード 5 a、5 d を通って電流が流れ、平滑コンデンサ 3 の両端に正の波形が現れる。また、このブリッジ整流回路 50 への入力電圧が負の波形の場合は、p n ダイオード 5 b、5 c を通って電流が流れ、平滑コンデンサ 3 の両端にやはり正の波形が現れる。

#### 【0023】

平滑コンデンサ 3 は、ブリッジ整流回路 50 によって正の波形に整流された整流電圧を受けて充放電を繰り返し、図 13 (C) の 2 点鎖線で示すように、整流電圧を定電圧に平滑化するものである。

図 1 に示す V d d 端子には、図示しない CPU や不揮発性メモリ等が接続されている。平滑コンデンサ 3 によって定電圧に平滑化された整流電圧は V d d 端子に供給され、CPU や不揮発性メモリの電源として用いられる。この半導体デバイス 100 では、ブリッジ整流回路 50 と、平滑コンデンサ 3 と、図示しない C

P Uや不揮発性メモリ等が1チップ化されている。

#### 【0024】

図2 (A) 及び (B) は、p nダイオード5 aの構造例を示す平面図とX1-X2矢視断面図である。上述したように、このp nダイオード5 aは、ブリッジ整流回路50を構成する4つのp nダイオードのうちの一つである。図示しないが、他の3つのp nダイオード5 b～5 dも、p nダイオード5 aと同様の構造を有している。以下、このp nダイオード5 aの構造について説明する。

#### 【0025】

図2 (B) において、11はS O I (silicon on insulator) 基板、13はp型のシリコンゲルマニウム混晶層 (以下で、p型S i G e層という)、15はn型のシリコン層 (以下で、n型S i層という)、16は素子分離層、17は層間絶縁膜、19 a及び19 bはA l配線である。

S O I基板11は、シリコン基板11 aと、シリコン酸化膜等からなる絶縁層11 bと、当該絶縁層11 b上に形成された単結晶シリコン層11 cとから構成されている。このようなS O I基板はS I M O X (Separation by Implant Oxygen) 法、或いは貼り合わせ法などにより作成される。また、素子分離層16は、S O I基板11上の素子形成領域以外のシリコン層11 cが熱酸化されて形成されたものである。

#### 【0026】

このS O I基板11によって、p nダイオード90 aを他の素子から完全に素子分離することができ、半導体デバイス100におけるラッチアップを防止することができる。また、このS O I基板11によって、p nダイオード90 aの寄生容量を低減することができ、半導体デバイス100の動作速度を向上することができる。

#### 【0027】

p型S i G e層13と、n型S i層15は、この素子分離層16によって囲まれた領域の半導体層11 cに設けられている。図2 (B) に示すように、これらのp型S i G e層13と、n型S i層15は横方向で隣り合うよう形で接合している。

層間絶縁膜 17 は、例えば CVD (chemical vapor deposition) によって SOI 基板 11 上に設けられたシリコン酸化膜である。この層間絶縁膜 17 の上面は CMP (chemical mechanical polish) 等によって平坦化されている。また、この層間絶縁膜 17 には、p 型 SiGe 層 13 上と、n 型 Si 層 15 上を開口するようなコンタクトホールが設けられている。

#### 【0028】

Al 配線 19a 及び 19b は、平坦化処理された層間絶縁膜 17 上に設けられている。図 2 (A) に示すように、Al 配線 19a は、コンタクトホール 21a を通って、p 型 SiGe 層 13 と接続している。この Al 配線 19a はアノード端子としての役割を果たすものである。また、Al 配線 19b は、コンタクトホール 21b を通って、n 型 Si 層 15 と接続している。この Al 配線 19b はカソード端子としての役割を果たすものである。

#### 【0029】

図 2 (B) において、p 型 SiGe 層 13 に含まれる不純物イオンは、例えばボロン (B) であり、その濃度は  $10^{20} \sim 10^{21} \text{ cm}^{-3}$  程度である。また、n 型 Si 層 15 に含まれる不純物イオンは、例えばリン (P) であり、その濃度は  $10^{19} \sim 10^{20} \text{ cm}^{-3}$  程度である。このような p 型 SiGe 層 13 と n 型 Si 層 15 の接合型は、例えば片側階段接合型である。

#### 【0030】

図 9 は、pn ダイオード 5a のバンドダイアグラムである。図 9 の左側が p 型 SiGe 層 13 のエネルギーバンドを示し、右側が n 型 Si 層 15 のエネルギーバンドを示す。図 9 において、 $E_V$  は価電子バンドのエネルギー準位、 $E_C$  は導電バンドのエネルギー準位、 $E_F$  はフェルミ準位である。また、 $V_n$  は伝導バンドとフェルミ準位間の電位差、 $V_p$  は価電子バンドとフェルミ準位間の電位差、 $\phi$  はビルトインポテンシャルを示す。

#### 【0031】

図 9 に示すように、p 型 SiGe 層におけるフェルミ準位  $E_F$  は価電子バンド  $E_V$  側にあり、n 型 Si 層におけるフェルミ準位  $E_F$  は伝導バンド側  $E_C$  側にある。そして、熱平衡状態において両層のフェルミ準位  $E_F$  はつりあっている。

この p n ダイオード 5 a において、p n 接合間のビルトインポテンシャル (built-in potential)  $\phi$  は、①式で表される。

【0032】

$$\begin{aligned} q\phi &= [E_C(\text{Si}) - qV_n] - [E_V(\text{SiGe}) - qV_p] \\ &= E_C(\text{Si}) - E_V(\text{SiGe}) - q(V_n - V_p) \\ &= E_C(\text{Si}) - E_V(\text{Si}) - q(V_n - V_p) - \Delta E_V(\text{SiGe}) \\ &\doteq q\phi_{pn}(\text{Si}) - \Delta E_V(\text{SiGe}) \quad \dots\text{①} \end{aligned}$$

①式において、 $E_C(\text{Si})$  はシリコン (Si) 結晶における伝導バンドのエネルギー準位であり、 $E_V(\text{SiGe})$  はシリコンゲルマニウム (SiGe) 混晶における価電子バンドのエネルギー準位である。また、 $E_V(\text{Si})$  は Si 結晶における価電子バンドのエネルギー準位であり、 $\Delta E_V(\text{SiGe})$  は、SiGe 混晶のシリコン結晶に対する価電子バンドの不連続量である。

【0033】

ここで、p 型 SiGe 層 13 の不純物濃度を  $10^{20} \text{ cm}^{-3}$ 、n 型 Si 層 15 における不純物濃度を  $10^{19} \text{ cm}^{-3}$  とすると、 $\phi_{pn}(\text{Si})$  は、約  $1.05 [\text{eV}]$  程度である。一方、 $\Delta E_V(\text{SiGe})$  は②式で表されることが知られている。

$$\Delta E_V(\text{SiGe}) = 0.84 - 2.41(a - 5.43) [\text{eV}] \quad \dots\text{②}$$

②式において、 $a$  は SiGe 混晶の格子定数である。例えば、SiGe 混晶における Ge 組成比が 60% であり、格子定数が  $5.50 \text{ \AA}$  の場合には、 $a = 5.50$  を②式に代入して、

$$\begin{aligned} \Delta E_V(\text{SiGe}) &= 0.84 - 2.41(5.50 - 5.43) \\ &= 0.67 [\text{eV}] \quad \dots\text{②}' \end{aligned}$$

$\Delta E_V(\text{SiGe}) = 0.67 [\text{eV}]$ 、 $\phi_{pn}(\text{Si}) = 1.05 [\text{eV}]$  を①式に代入すると、

$$\begin{aligned} q\phi &= q\phi_{pn}(\text{Si}) - \Delta E_V(\text{SiGe}) \\ &= 1.05 - 0.67 = 0.38 [\text{eV}] \quad \dots\text{①}' \end{aligned}$$

図 5 は p n ダイオード 5 a 及び 90 a の電圧－電流特性を示す比較図である。図 5 において、横軸は順方向電圧  $V_F$  を示し、縦軸は順方向電流  $I_F$  を示す。また、曲線 A は本発明の p n ダイオード 5 a の電圧－電流特性であり、曲線 B は従

来型のダイオード 90a の電圧－電流特性である。曲線 C は MOS トランジスタ 90a' の電圧－電流特性である。

#### 【0034】

一般に、pn ダイオードの順方向電流  $I_F$  は③式で表されることが知られている。

$$I_F = \alpha \{ e^{q(V_F - \phi) / kT} - 1 \}$$

…③

③式において、 $\alpha$  は定数、 $k$  はボルツマン定数、 $T$  は絶対温度である。

#### 【0035】

上述したように、p 型 SiGe 層 13 と n 型 Si 層 15 とから構成される pn ダイオード 5a のビルトインポテンシャル  $\phi$  は 0.38[eV] 程度であり、従来型の pn ダイオード 90a のビルトインポテンシャル  $\phi'$  は 1.05[eV] 程度である。

このため、③式から明らかなように、従来型の pn ダイオード 90a では、理論上、順方向電圧  $V_F$  が 1.05[V] に達した時点で順方向電流  $I_F$  が流れ始めるのに対して、本発明の pn ダイオード 5a では  $V_F$  が僅か 0.38[V] で  $I_F$  が流れ始める。

#### 【0036】

従って、図 5 に示すように、pn ダイオード 5a は、従来型の pn ダイオード 90a と比べて、そのビルトインポテンシャル  $\phi$  を 1/2 以下にすることができるので、順方向電圧  $V_F$  に対する順方向電流  $I_F$  の立ち上がりを早く、より大きな電流を流すことができる。

また、MOS トランジスタ 90a' の順方向電流  $I_F$  は④式で表されることが知られている。

#### 【0037】

$$I_F = \alpha (V_F - V_{th})^2 \quad \dots ④$$

ここで  $V_{th}$  は MOS トランジスタ 90a' の閾値電圧である。従って、pn ダイオードの順方向電流  $I_F$  は電圧に対して指数関数的に増加するのに対して、MOS トランジスタ 90a' の順方向電流  $I_F$  は電圧の自乗で増加する。それゆえ

、本発明の p n ダイオード 5 a は MOS トランジスタ 9 0 a ' と比較した場合でも、より大きな電流を流すことができる。

#### 【0038】

このように、本発明に係る半導体デバイス 1 0 0 によれば、従来方式と比べて、  
p n ダイオードにおける p 型 S i 層と n 型 S i 層間のビルトインポテンシャル  $\phi$  を下げることができ、p n ダイオードを低インピーダンス化することができる。従って、p n ダイオードの電圧－電流特性を改善することができ、p n ダイオードの順方向により大きな電流を流すことができる。

#### 【0039】

また、半導体デバイス 1 0 0 では、このような低インピーダンスな p n ダイオード 5 a ～5 d によってブリッジ整流回路 5 0 が構成されているので、交流電圧を直流電圧に効率よく変換することができる。それゆえ、コイルアンテナに生じる起電力が低電圧の場合でも、I C カード内の C P U 等を動作させることができ、I C カードの非接触認証距離の向上等に寄与することができる。

#### 【0040】

この第 1 実施形態では、p 型 S i G e 層 1 3 が本発明の p 型シリコン層に対応し、n 型 S i 層 1 5 が本発明の n 型シリコン層に対応している。また、p n ダイオード 5 a ～5 d が本発明のダイオードに対応し、S O I 基板 1 1 を構成する絶縁層 1 1 b が本発明の絶縁性の基板、または絶縁層に対応している。さらに、半導体デバイス 1 0 0 が本発明の半導体装置に対応している。

#### 【0041】

次に、上述した p n ダイオード 5 a の製造方法について、図 3 (A) ～図 4 (C) を参照しながら説明する。まず、図 3 (A) に示すように、シリコン基板 1 1 a 上にシリコン酸化膜 1 1 b を介して単結晶シリコン層 1 1 c が形成されているような S O I ウェハ 1 1 を用意する。

次に、L O C O S (local oxidation of silicon: 局所酸化素子分離法) によって素子形成領域以外の S O I 基板上に素子分離層 1 6 を形成する。即ち、まず始めに、S O I ウェハ 1 1 の単結晶シリコン層 1 1 c 上にシリコン窒化膜を堆積

させる。このシリコン窒化膜 23 の堆積は、例えば CVD によって行う。次に、図 3 (B) に示すように、フォトリソグラフィとドライエッチングによって、素子形成領域以外のシリコン窒化膜 23 を除去する。そして、このシリコン窒化膜 23 下から露出した単結晶シリコン層 11c のみを熱酸化して、素子分離層 16 を形成する。その後、このシリコン窒化膜 23 を熱リン酸でウエットエッチングして、図 3 (C) に示すように、SOI 基板 11 上から除去する。

#### 【0042】

次に、図 4 (A) に示すように、素子分離層 16 を形成した後の単結晶シリコン層 11c にリン (P) をイオン注入する。このリンのイオン注入条件は、例えば、打ち込みエネルギーが約 40 keV、ドーズ量が  $1 \times 10^{14} \sim 10^{15} \text{ cm}^{-2}$  程度である。

次に、図 4 (B) に示すように、フォトリソグラフィによって、p 型層を形成する領域（以下で、p 型形成領域という）のみを開口するようなレジストパターン 25 を SOI 基板 11 上に形成する。そして、このレジストパターン 25 をマスクにして、単結晶シリコン層 11c にボロン (B) をイオン注入する。このボロンのイオン注入条件は、例えば、打ち込みエネルギーが約 17 keV、ドーズ量が  $1 \times 10^{15} \sim 5 \times 10^{15} \text{ cm}^{-2}$  程度である。

#### 【0043】

さらに、このレジストパターン 25 をマスクにして、ボロンをイオン注入した単結晶シリコン層 11c にゲルマニウム (Ge) をイオン注入する。このゲルマニウムのイオン注入条件は、例えば、打ち込みエネルギーが約 20 keV、ドーズ量が  $1 \times 10^{14} \sim 5 \times 10^{15} \text{ cm}^{-2}$  程度である。このゲルマニウムのイオン注入後に、レジストパターン 25 をアッシングして除去する。

#### 【0044】

次に、図 4 (C) に示すように、このゲルマニウムや、ボロン、リン等をイオン注入した単結晶シリコン層 11c や、素子分離層 16 上に、シリコン酸化膜 17a を所定の厚みだけ堆積する。そして、このシリコン酸化膜 17a を堆積した SOI 基板 11 に高温熱処理を施して、単結晶シリコン層 11c にイオン注入したゲルマニウムや、ボロン、リン等の不純物を活性化させる。このシリコン酸化



膜 17a とは、例えば、TEOS 膜であり、その厚みはおよそ 1000 Å 程度である。また、高温熱処理とは、例えば、処理温度 1040℃、処理時間 30 秒程度の高速高温熱処理である。

#### 【0045】

次に、CVD によって、このシリコン酸化膜 17a 上にさらに、シリコン酸化膜を約 8000 Å 程度堆積させる。そして、このシリコン酸化膜上を CMP 等によって平坦化処理する。これにより、上述した層間絶縁膜 17 (図 2 参照) が形成される。さらに、フォトリソグラフィとドライエッチングによって、この層間絶縁膜 17 にコンタクトホール 21a 及び 21b (図 2 参照) を形成する。

#### 【0046】

その後、このコンタクトホール 21a 及び 21b を形成した層間絶縁膜 17 上に、スパッタ法等によって Al 膜を堆積する。そして、フォトリソグラフィとドライエッチングによって、この Al 膜を配線形状にパターンニングして、Al 配線 19a 及び 19b (図 2 参照) を形成する。これにより、図 2 (B) に示した pn ダイオード 5a を完成させる。

#### 【0047】

この pn ダイオード 5a の全ての製造プロセスは、SOI 基板 11 上に形成される他の pn ダイオード 5b ~ 5d や、CMOS トランジスタ、MOS キャパシタ等の製造プロセスと一括、または連続して行われるものであり、MOS の製造工程と統合性がある。このため、従来方式と比べて、製造コストの大幅な上昇を招くことなく、低インピーダンスな pn ダイオード 5a ~ 5d を形成することができる。

#### 【0048】

尚、この実施形態では、p 型形成領域の単結晶シリコン層 11 にゲルマニウムをイオン注入して、p 型 SiGe 層 13 を形成する場合について説明したが、ゲルマニウムの導入方法はイオン注入法に限られることはない。例えば、超高真空エピタキシャル技術、MOCVD (metal organic CVD) 技術、或いは MBE (molecular beam epitaxy) 技術等によって、ゲルマニウムを単結晶シリコン層 11c 上に形成し、その後、高温熱処理して、p 型 SiGe 層 13 を形成しても良

い。この場合でも、pnダイオード5a～5dのビルトインポテンシャル $\phi$ を小さくすることができ、低インピーダンスなダイオード特性を得ることができる。

## (2) 第2実施形態

上述の第1実施形態では、p型SiGe層13とn型Si層15とがそれぞれの片側でのみ接している構造のpnダイオード5a～5dを用いて、ブリッジ整流回路50を構成する場合について説明した。しかしながら、これらのp型SiGe層13とn型Si層15の接合型は、片側接合に限られることはない。

### 【0049】

図6(A)及び(B)は本発明の第2実施形態に係るpnダイオード5a'の構成例を示す平面図と、X3-X4矢視断面図である。ここでは、p型SiGe層13の両側で、このp型SiGe層13とn型Si層15を接合させる場合を想定する。従って、図6(A)及び(B)において、上述したpnダイオード5aと同一の構成を有する部分には同一の符号を付し、その詳細説明を省略する。なお、図6(A)では、説明の便宜上から、層間絶縁膜やAl配線等の図示を省いている。

### 【0050】

図6(A)に示すように、このpnダイオード5a'では、n型Si層15の形状は例えばリング状であり、このn型Si層15のリングの中央部にp型SiGe層13が設けられている。従って、n型Si層15とp型SiGe層13との接合面積を増やすことができるので、図2に示したpnダイオード5aよりもさらに大きな電流を順方向に流すことができる。また、このpnダイオード5aを用いて、図1に示したブリッジ整流回路50を構成することによって、交流電圧から直流電圧への変換の効率をより一層高めることができる。

### 【0051】

次に、pnダイオード5a'の製造方法について説明する。図6(B)に示す第1層間絶縁膜17を形成する工程までは、上述したpnダイオード5aと同様である(但し、p型SiGe層13とn型Si層15の形成領域をそれぞれ画定するフォトリソグラフィは、pnダイオード5aと異なる。)。第1層間絶縁膜17を形成した後に、フォトリソグラフィとドライエッチングとによって、n型Si層

15上の第1層間絶縁膜17にコンタクトホールを形成する。そして、このコンタクトホールを埋め込むようにして、カソード端子用のAl配線19Bを形成する。

#### 【0052】

次に、この第1層間絶縁膜17上にシリコン酸化膜等の絶縁膜を堆積し、平坦化処理して第2層間絶縁膜27を形成する。そして、フォトリソグラフィとドライエッチングとによって、p型SiGe層13上の層間絶縁膜17及び27にコンタクトホールを形成する。その後、このコンタクトホールを埋め込むようにして、アノード端子用のAl配線19aを形成する。これにより、pnダイオード5a'を完成させる。

#### (3) 第3実施形態

上述の第1、第2実施形態では、p型SiGe層13とn型Si層15とからなるpnダイオードでブリッジ整流回路50を構成する場合について説明した。しかしながら、本発明の半導体デバイス100では、ブリッジ整流回路50を構成するのはpnダイオードに限られることはない。

#### 【0053】

図7(A)及び(B)は本発明の第3実施形態に係るpinダイオード105aの構成例を示す平面図と、X5-X6矢視断面図である。図7(A)及び(B)において、上述したpnダイオード5aと同一の構成を有する部分には同一の符号を付し、その詳細説明を省略する。

図7に示すように、このpinダイオード105aでは、p型SiGe層13とn型Si層15との間に高純度のi型(真性)Si層14が設けられている。この構造によって、p型SiGe層13とn型Si層15との間で空乏層への電界集中を回避することができるので、逆方向の降伏電圧を向上させることができる。

#### 【0054】

また、このpinダイオード105aでブリッジ整流回路50を構成することによって、ブリッジ整流回路50の逆方向電圧に対する耐圧を高めることができる。これにより、急激な電磁誘導による破壊が起きにくいICカードを提供するこ

とができる。

図 8 (A) 及び (B) は、pin ダイオード 105 a の製造方法を示す断面図である。この pin ダイオード 105 a の製造方法において、SOI 基板 11 に素子分離層 16 を形成する工程までは、pn ダイオード 5 と同様なので、その説明を省略する。

#### 【0055】

図 8 (A) に示すように、素子分離層 16 を形成した後、フォトリソグラフィによって、n 型層を形成する領域（以下で、n 型形成領域という）のみを開口するようなレジストパターン 31 を SOI 基板 11 上に形成する。ここで、p 型形成領域と、i 型 Si 層となる領域（以下で、i 型領域という）は、このレジストパターン 31 によってその上面が覆われている。

#### 【0056】

次に、このレジストパターン 31 をマスクにして、n 型形成領域の単結晶シリコン層 11 c にリンをイオン注入する。このリンのイオン注入条件は、例えば、打ち込みエネルギーが約 40 keV、ドーズ量が  $1 \times 10^{14} \sim 10^{15} \text{ cm}^{-2}$  程度である。

次に、図 8 (B) に示すように、フォトリソグラフィによって、p 型形成領域のみを開口するようなレジストパターン 33 を SOI 基板 11 上に形成する。ここで、n 型形成領域と、i 型領域は、このレジストパターン 33 によってその上面が覆われている。

#### 【0057】

そして、このレジストパターン 33 をマスクにして、p 型形成領域の単結晶シリコン層 11 c にボロンをイオン注入する。このボロンのイオン注入条件は、例えば、打ち込みエネルギーが約 17 keV、ドーズ量が  $1 \times 10^{15} \sim 5 \times 10^{15} \text{ cm}^{-2}$  程度である。

続いて、このレジストパターン 33 をマスクにして、ボロンをイオン注入した単結晶シリコン層 11 c にゲルマニウムをイオン注入する。このゲルマニウムのイオン注入条件は、例えば、打ち込みエネルギーが約 20 keV、ドーズ量が  $1 \times 10^{14} \sim 5 \times 10^{15} \text{ cm}^{-2}$  程度である。このゲルマニウムのイオン注入

後に、レジストパターン 33 をアッシングして除去する。

#### 【0058】

このように、図 8 (A) 及び (B) に示すイオン注入工程において、p 型領域にボロンとゲルマニウムをイオン注入し、n 型領域にリンをイオン注入する。また、この i 型領域には、リンやボロン等の不純物をイオン注入しない。

この後に続く工程は、上述した p n ダイオード 5 の製造方法と同様である。即ち、i 型領域の両側にイオン注入した不純物やゲルマニウム等を熱処理によって活性化させた後に、SOI 基板 11 上に層間絶縁膜 17 (図 7 参照) を形成する。そして、この層間絶縁膜にコンタクトホールを形成して、Al 配線 19 a 及び 19 b を形成し、図 7 (B) に示した p i n ダイオード 105 を完成させる。

#### 【0059】

この第 3 実施形態では、i 型 Si 層 14 が本発明の i 型シリコン層に対応し、p i n ダイオード 105 a が本発明のダイオードに対応している。

なお、この p i n ダイオード 105 a では、i 型 Si 層 14 の内部抵抗により順方向の電流値が、上述した p n ダイオード 90 a と比べて、若干低下してしまう。この点を改善するには、この p i n ダイオード 105 a においても、第 2 実施形態と同様に n 型 Si 層 15 の形状をリング状とし、さらに、i 型 Si 層 14 の形状もリング状とし、この i 型 Si 層 14 のリングの中央部に p 型 Si Ge 層 13 を設けると良い。

#### 【0060】

これにより、p 型 Si Ge 層 13 と i 型 Si 層 14 の接合面積、及び、i 型 Si 層 14 と n 型 Si 層 15 の接合面積を増やすことができるので、大きな電流値を確保することができる。

#### 【図面の簡単な説明】

- 【図 1】 半導体デバイス 100 の構成例を示す回路図。
- 【図 2】 p n ダイオード 5 a の構成例を示す平面図と断面図。
- 【図 3】 p n ダイオード 5 a の製造方法 (その 1) を示す工程図。
- 【図 4】 p n ダイオード 5 a の製造方法 (その 2) を示す工程図。
- 【図 5】 p n ダイオード 5 a 及び 90 a 等の電圧—電流特性。

【図 6】 p n ダイオード 5 a ' の構成例を示す平面図と断面図。

【図 7】 p i n ダイオード 105 a の構成例を示す平面図と断面図。

【図 8】 p i n ダイオード 105 a の製造方法を示す工程図。

【図 9】 p n ダイオード 5 a のバンドダイアグラム。

【図 10】 p n ダイオード 90 a の適用例と構成例を示す図。

【図 11】 M O S トランジスタ 90 a ' の適用例を示す回路図。

【図 12】 p n ダイオード 90 a のバンドダイアグラム。

【図 13】 起電力の整流及び平滑の一例を示す概念図。

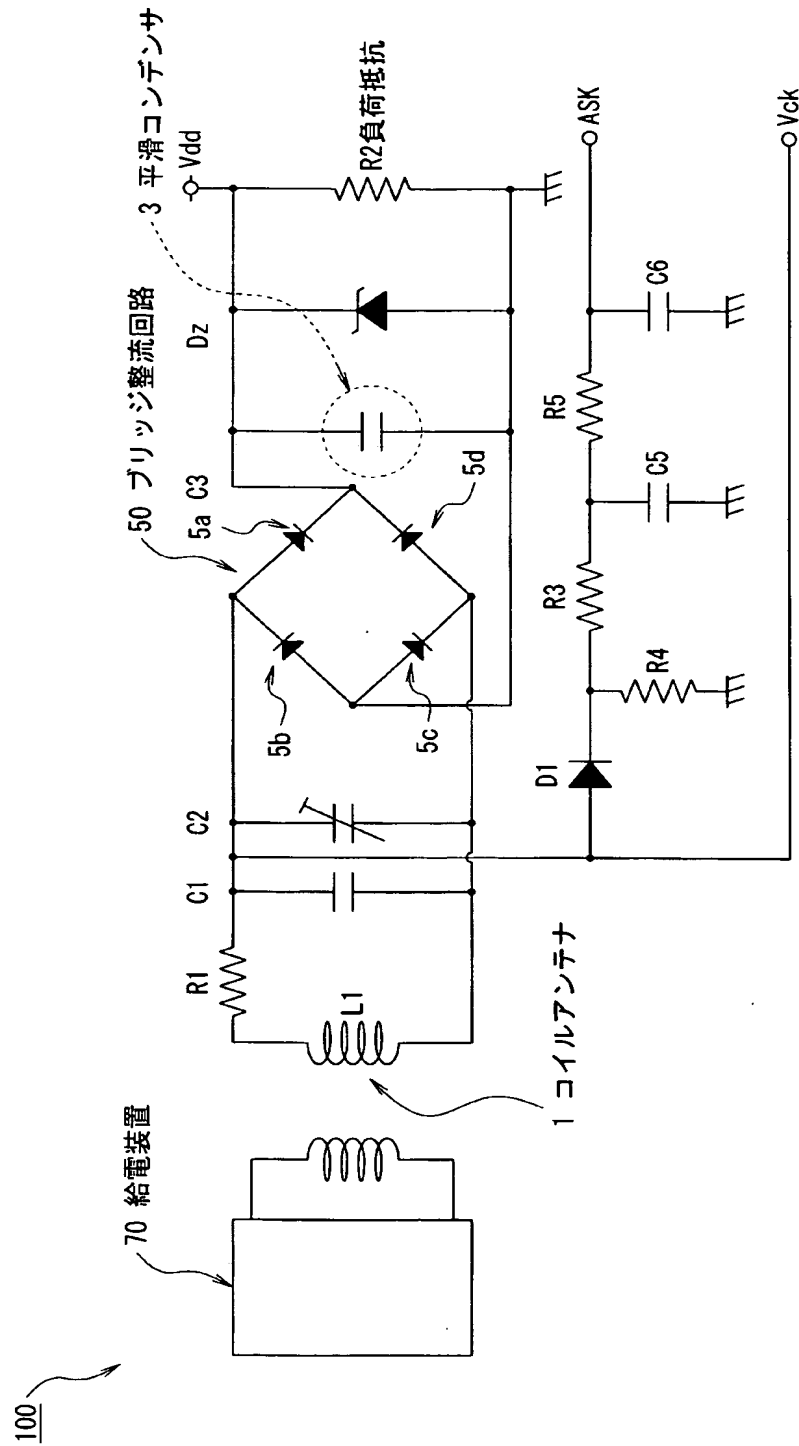
【符号の説明】

1 コイルアンテナ、3 平滑コンデンサ、5 a、5 b、5 c、5 d p n ダイオード、11 S O I 基板、13 p 型 S i 層、14 i 型 S i 層、15 n 型 S i 層、16 素子分離層、17、27 層間絶縁膜、19 a、19 b A l 配線、21 a、21 b コンタクトホール、23 シリコン窒化膜、25、31、33 レジストパターン、50 ブリッジ整流回路、70 給電装置、100 半導体デバイス、105 a p i n ダイオード

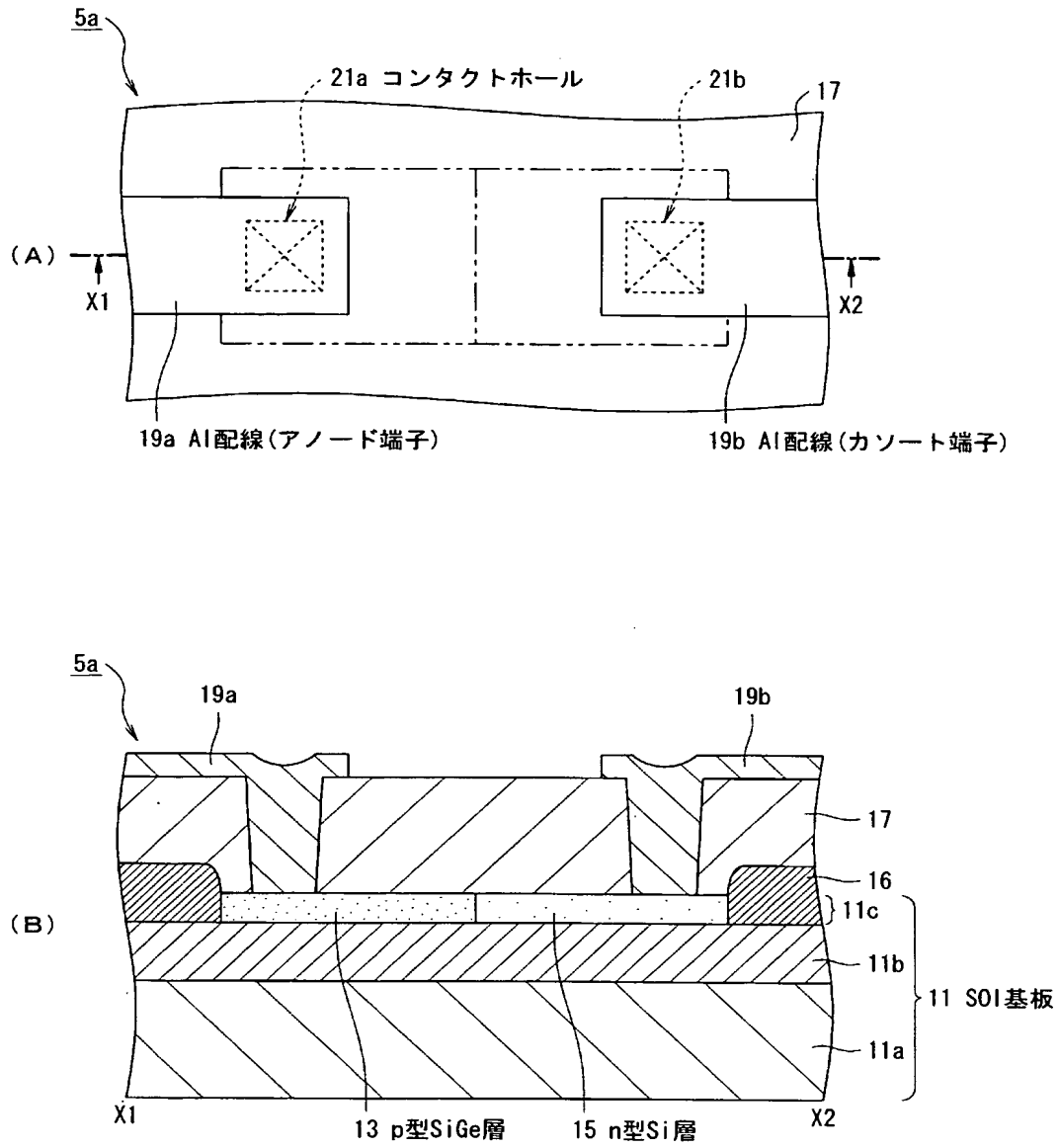
【書類名】

図面

【図 1】

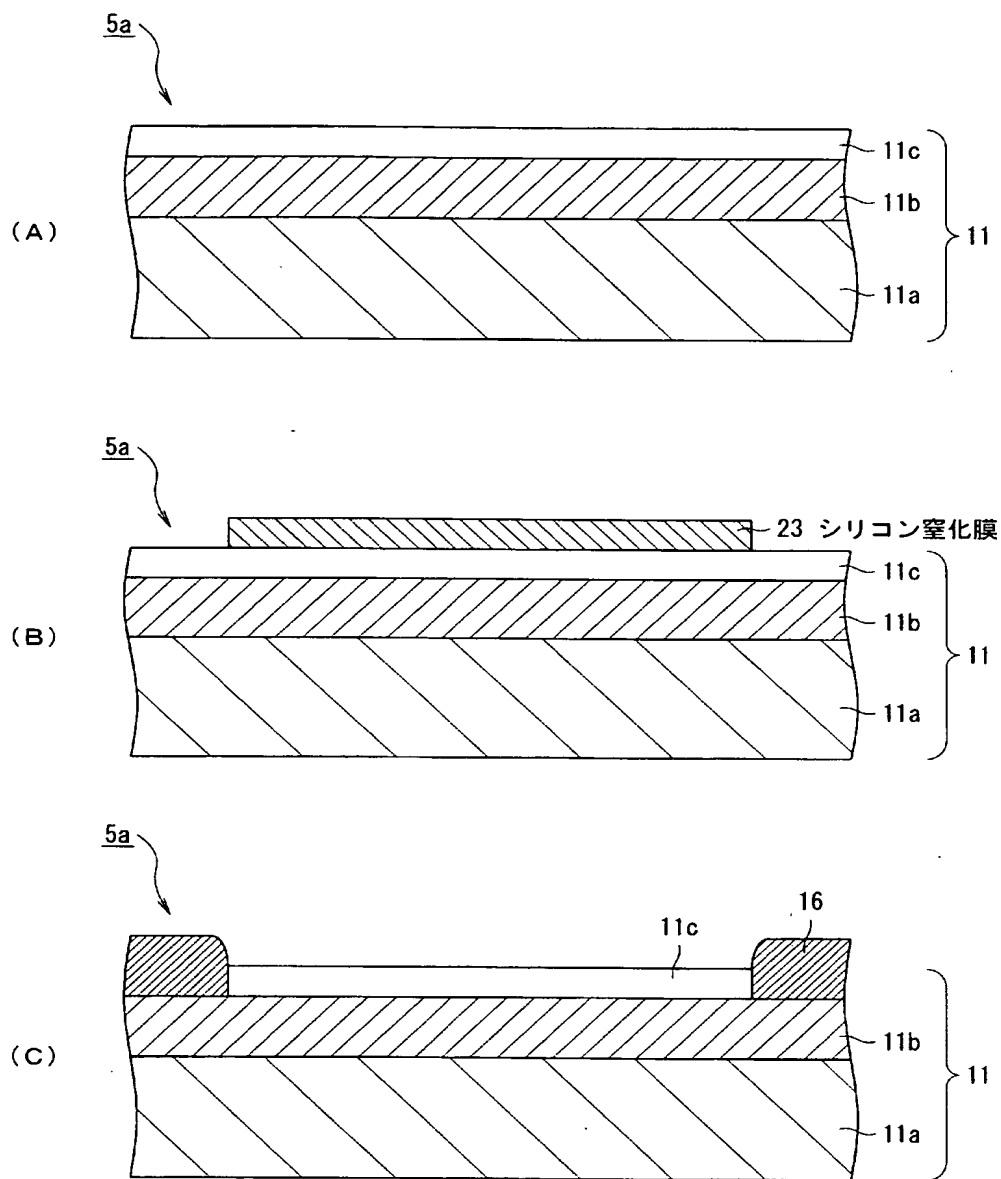


【図 2】

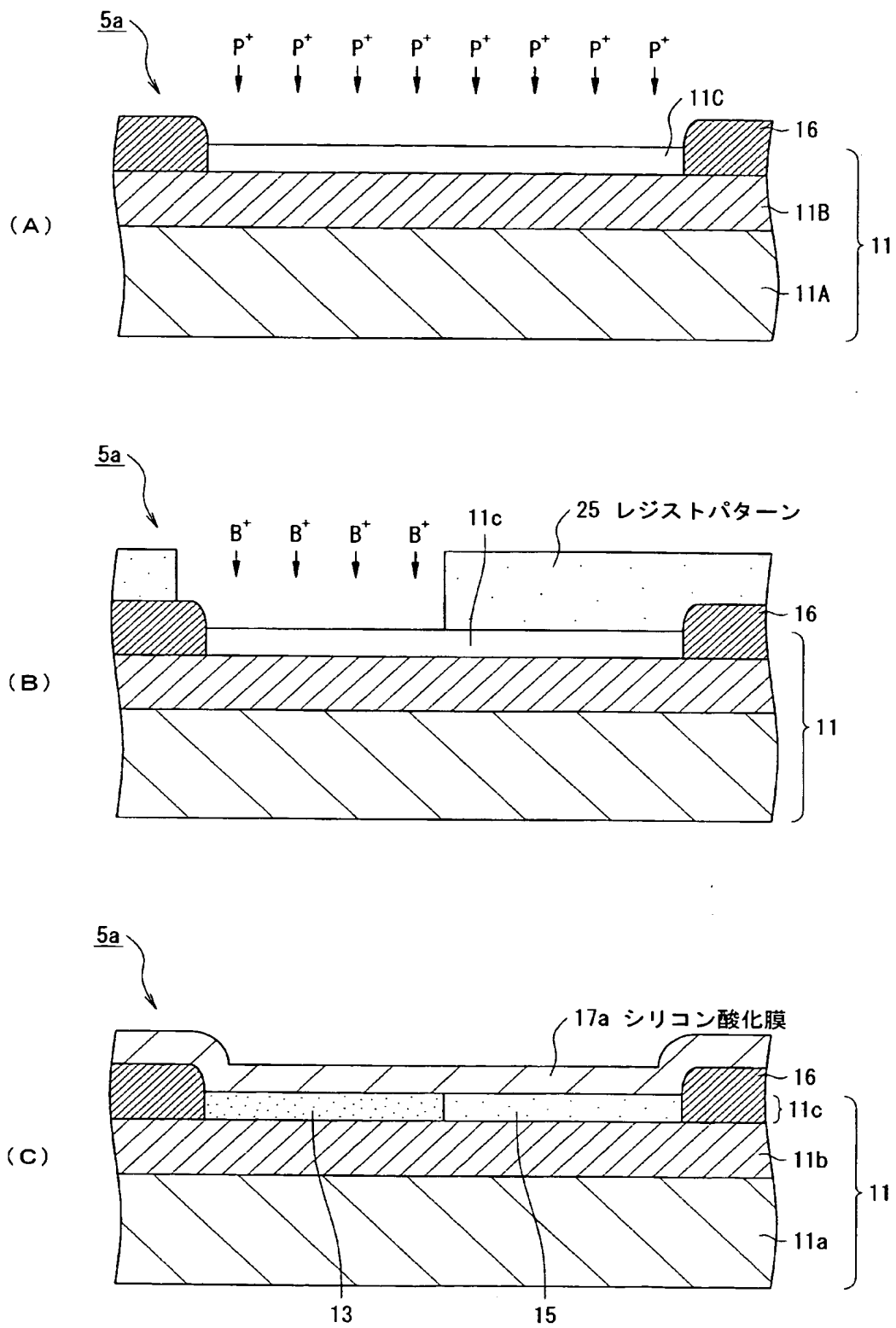




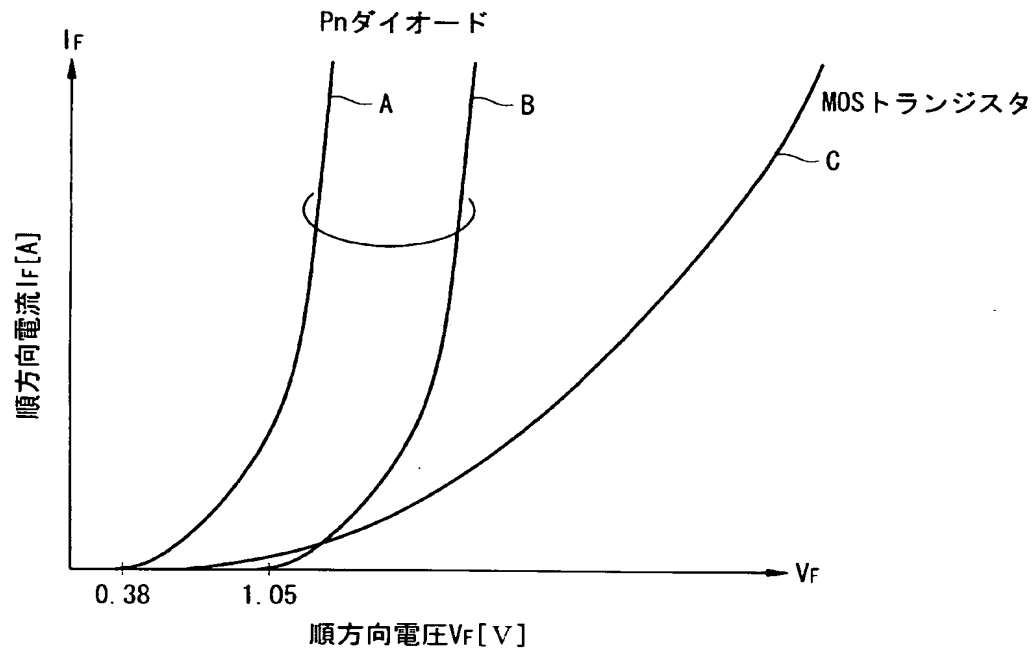
【図 3】



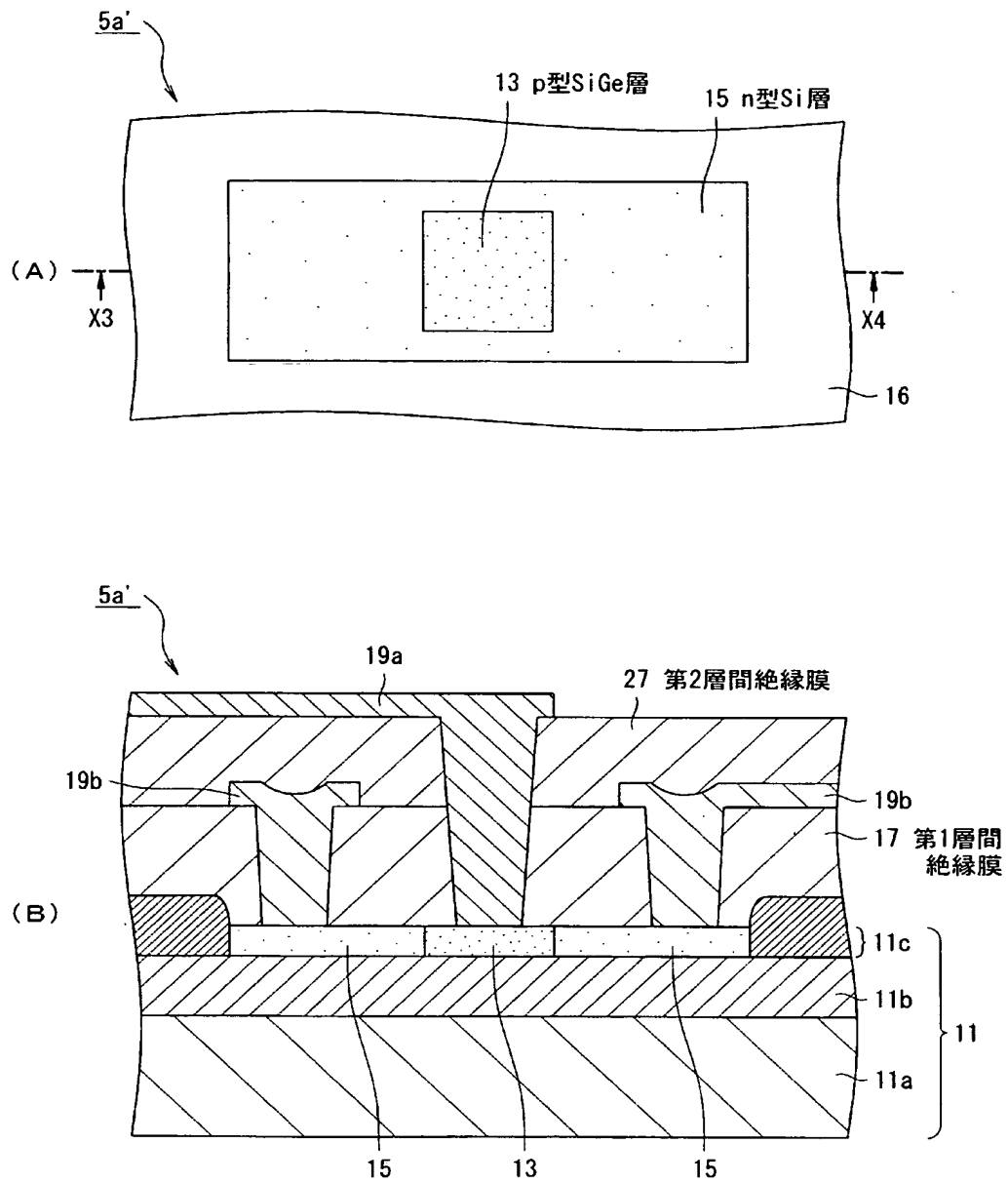
【図 4】



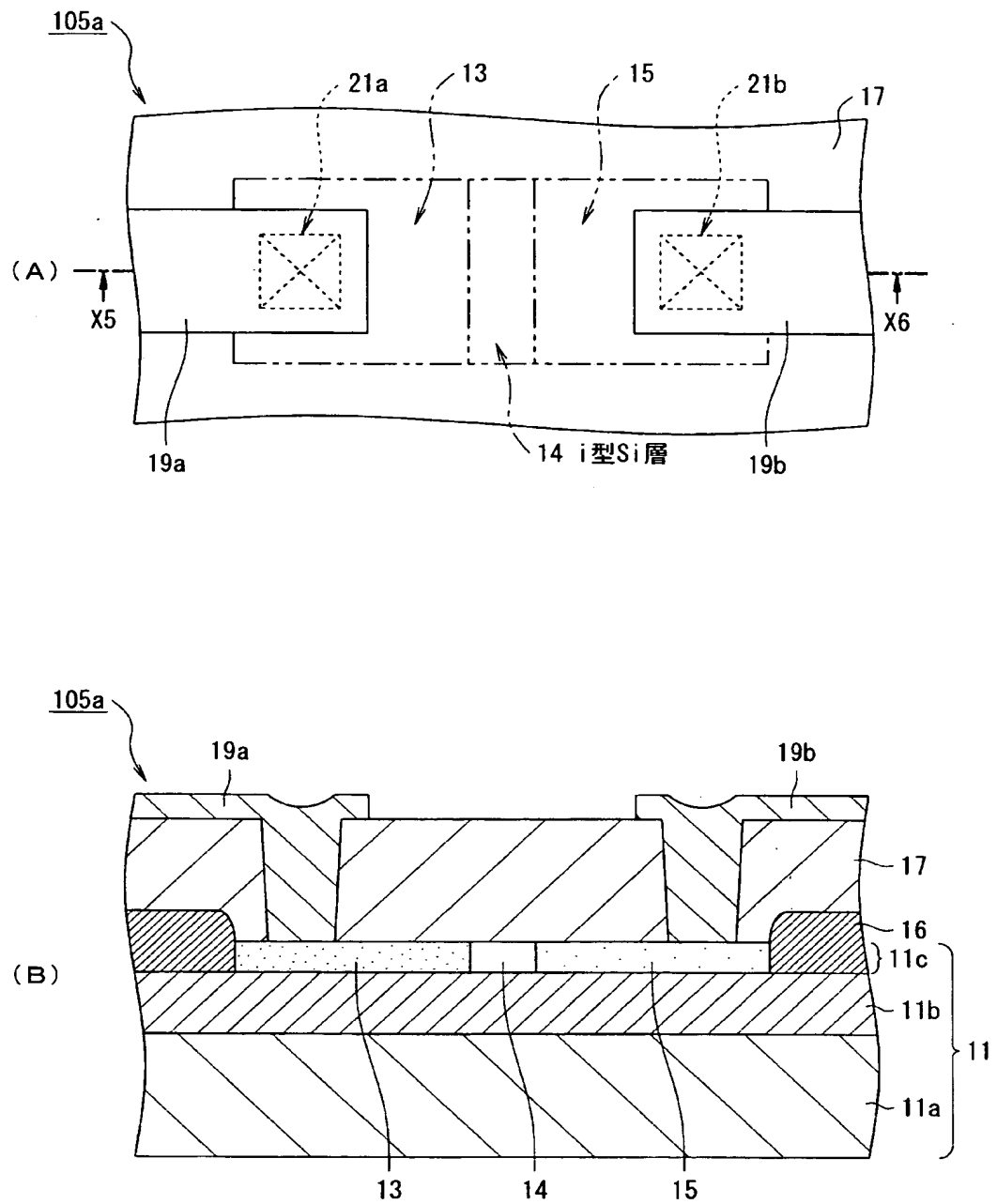
【図 5】



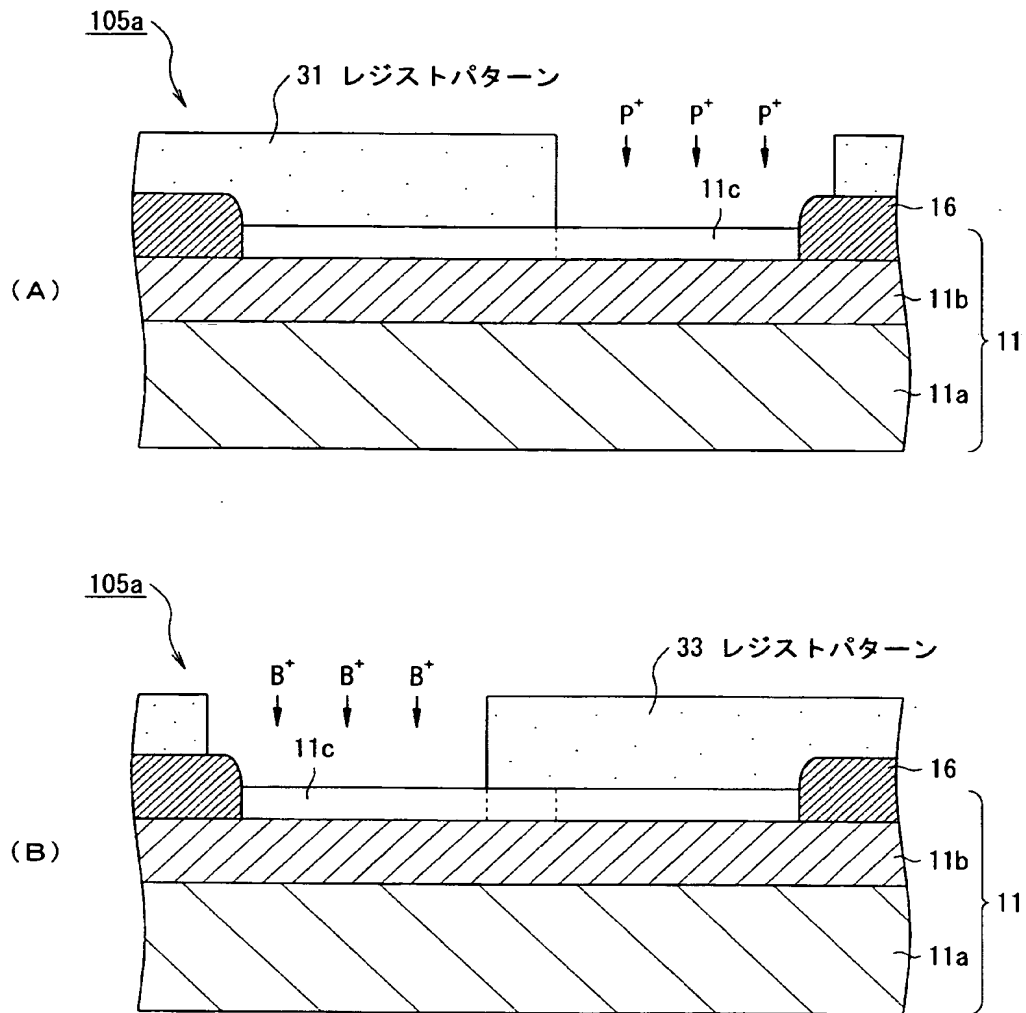
【図 6】



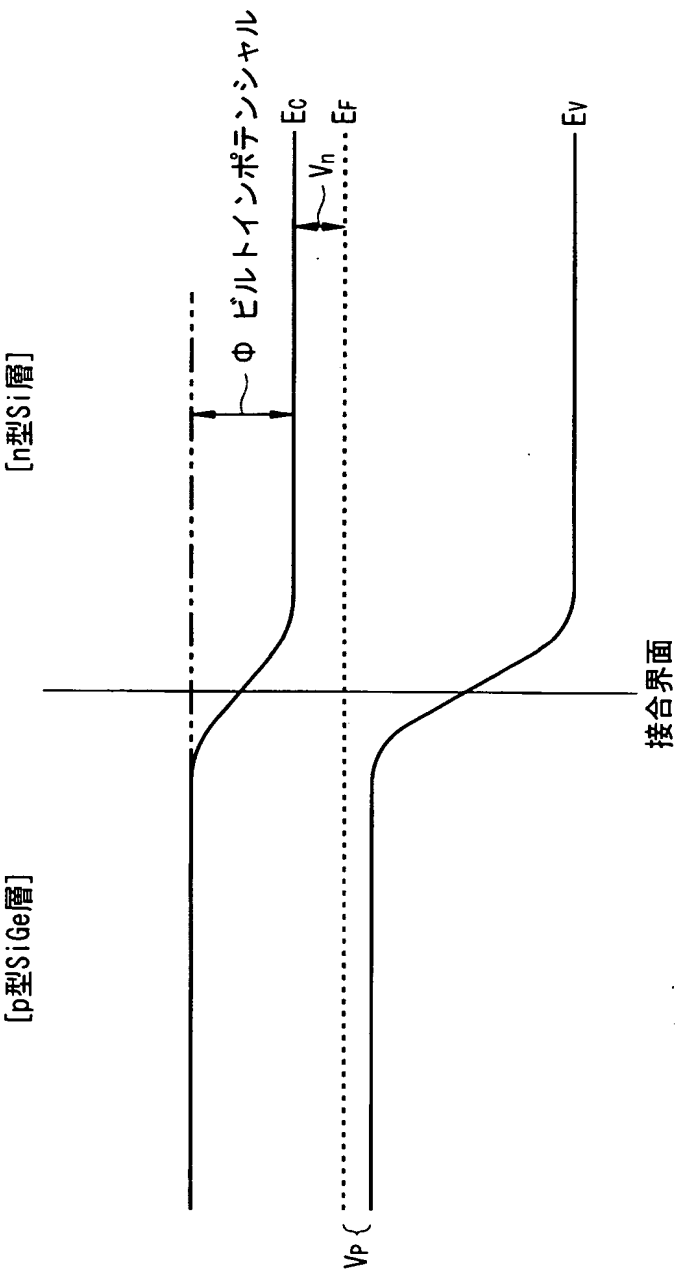
【図 7】



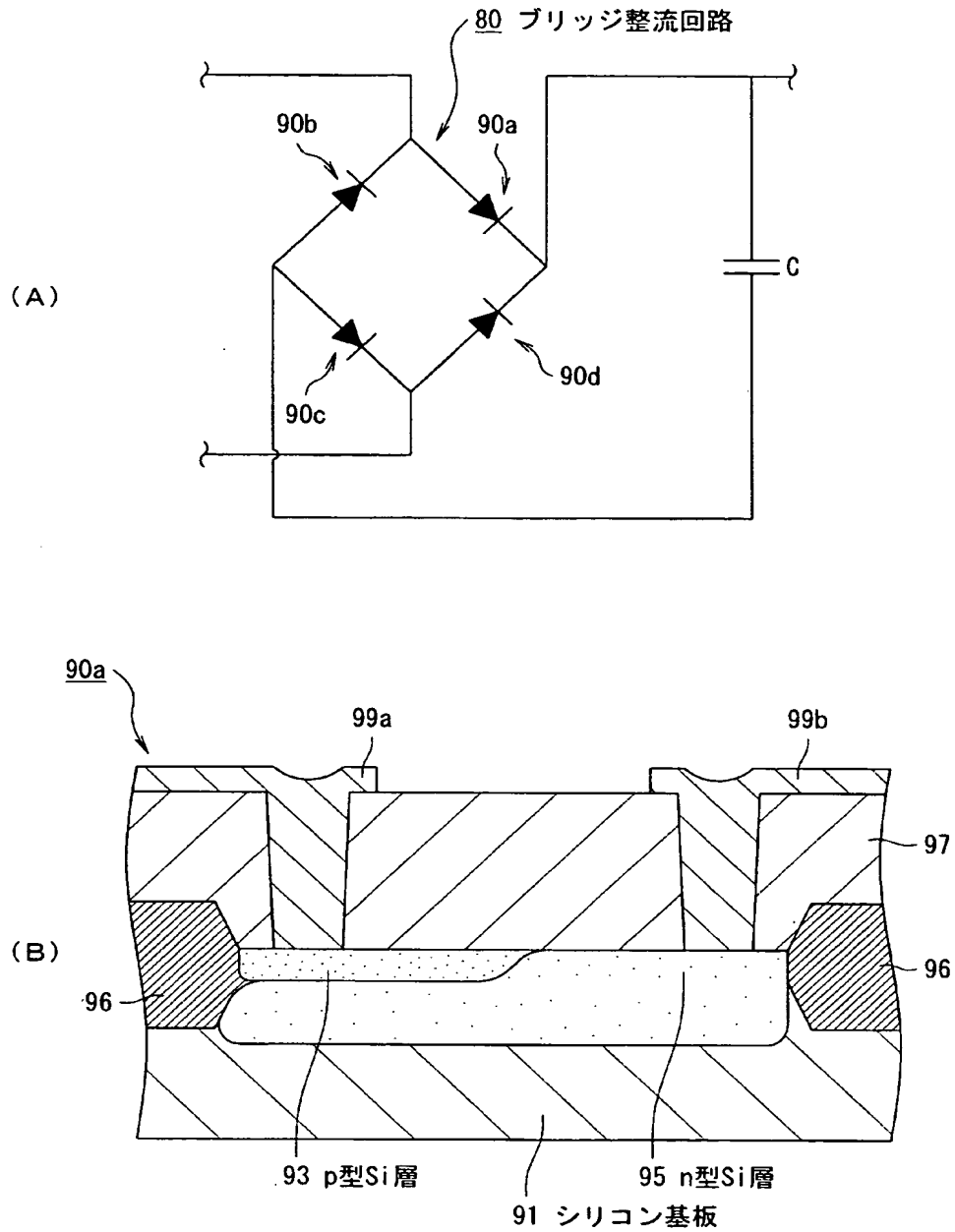
【図 8】



【図 9】

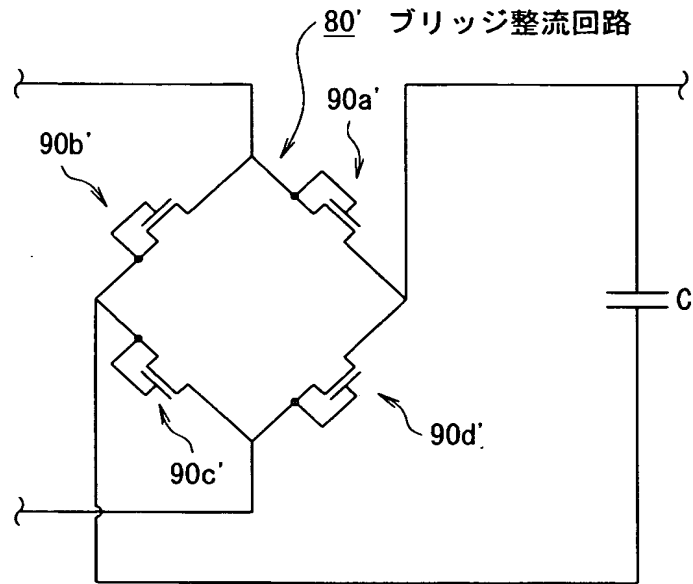


【図 10】

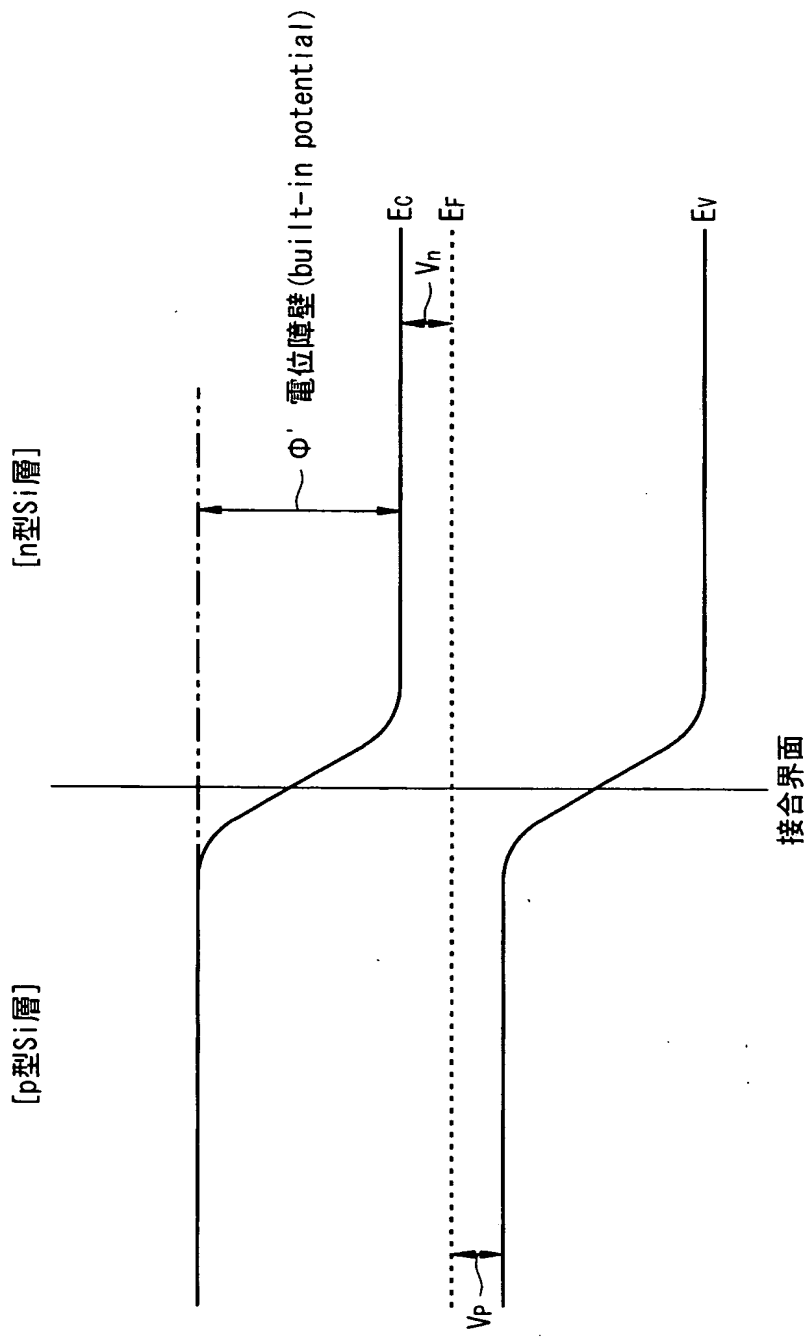




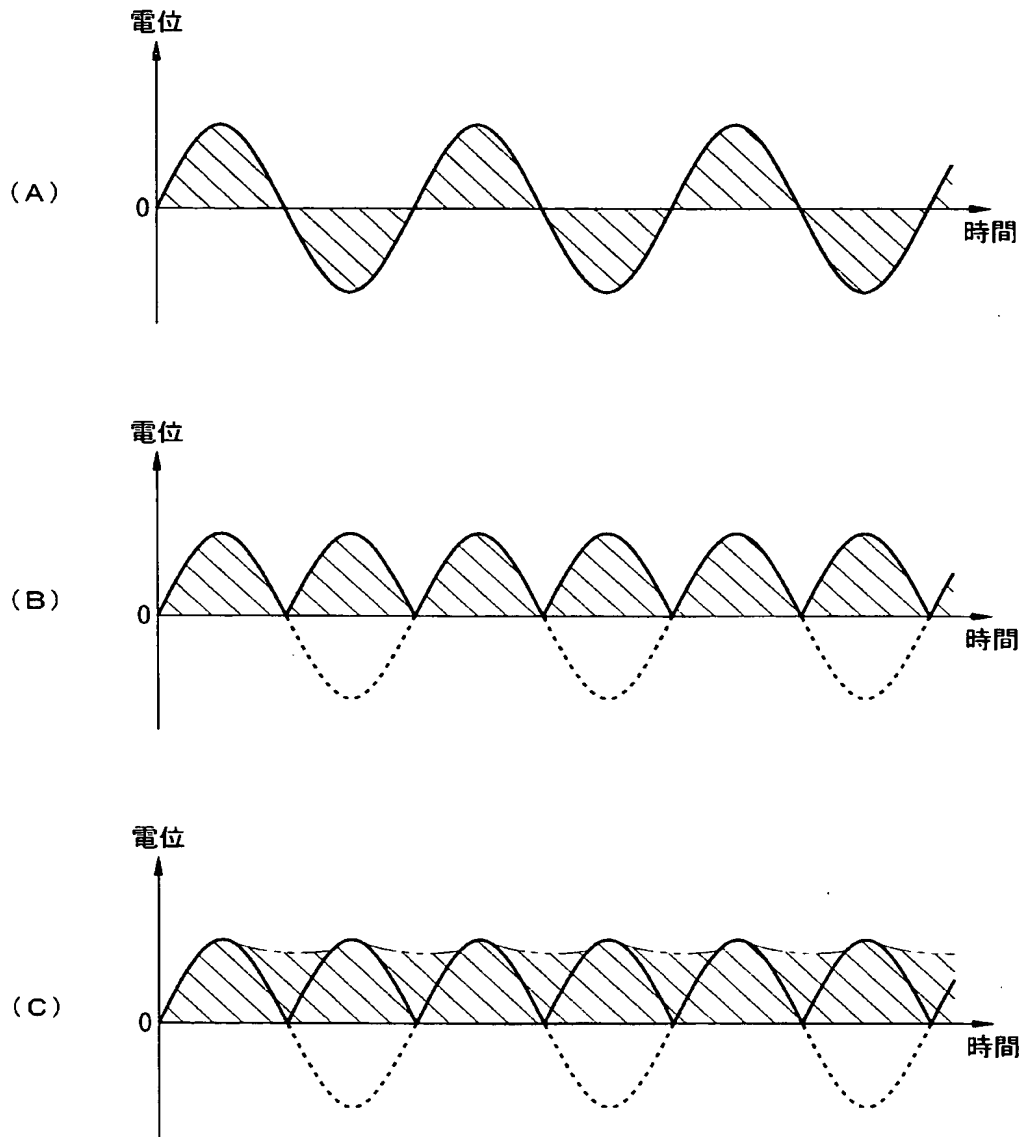
【図 11】



【図 12】



【図 1 3】



【書類名】 要約書

【要約】

【課題】 ダイオードの電圧－電流特性を改善して、ダイオードの順方向により大きな電流を流すことができるようにした半導体装置及びその製造方法を提供する。

【解決手段】 p 型 S i G e 層 1 3 と、当該 p 型 S i G e 層 1 3 に接合する n 型 S i 層 1 5 とからなる p n ダイオード 5 a を備えたものである。従来方式と比べて、p n ダイオードのビルトインポテンシャルを下げることができ、低インピーダンスなダイオード特性を得ることができる。また、この p n ダイオード 5 a 等でブリッジ整流回路を構成することによって、交流電圧を直流電圧に効率よく変換することができる。

【選択図】 図 2

特願 2 0 0 3 - 0 4 7 9 2 3

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 2 3 6 9 ]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社